

**①9 BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENTAMT**

Patentschrift
DE 44 08 768 C 1

Int. Cl.⁶:
H 03 H 17/02

(21) Akt nzeich n: P 44 08 768.3-31
 (22) Anmeldetag: 15. 3. 94
 (43) Offenlegungstag: —
 (45) Veröffentlichungstag
 der Patenterteilung: 4. 5. 95

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦ Patentinhaber:
Siemens AG, 80333 München, DE

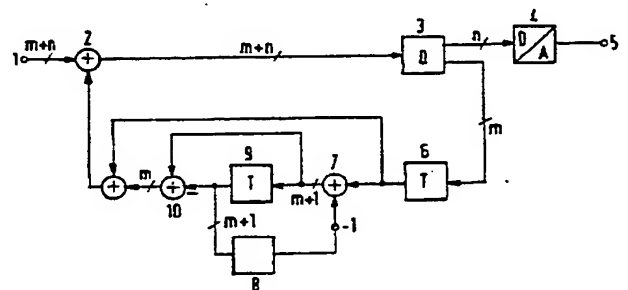
(72) Erfinder:
Gazsi, Lajos, Dr., 40239 Düsseldorf, DE; Leeb,
Ferenc, Dr., Villach, AT

(56) Für die Beurteilung der Patentfähigkeit
 in Betracht gezogene Druckschriften:
 PROAKIS, John G., MANOLAKIS, Dimitris G.:
 Introduction to Digital Signal Processing, New York,
 Macmillan Publishing Comp., 1988, S.739-794
 u. 927-938 ISBN 0-02-396810-9;
 LEUNG, Bosco H., NEFF, Robert, Gray, Paul R.,
 BRODERSEN, Robert W.: Area-Efficient Multi-
 channel Oversampled PCM Voice-Band Coder. In:
 IEEE Journal of Solid-State Circuits, Vol.23, No.6,
 Dec.1988, S.1351-1357;
 CARLEY, Richard L., KENNEY, John: A 16-Bit 4'th
 Order Noise-Shaping D/A Converter. In: IEEE 1988

**Custom Integrated Circuits Conference,
CH2584-1/88/0000-0129 \$1.00, S.21.7.1 bis 21.7.4;
WALDEN, R.H., CATALTEPE, T., TEMES, G.C.:
Architectures for High-Order Multibit Sigma-Delta
Modulators. In: CH2868-8/90/0000-0895\$1.00, 1990
IEEE, S.895-898;**

54) Verfahren zur Filterung einer digitalen Wertefolge mit verbessertem Rauschverhalten und Schaltungsanordnung zur Durchführung des Verfahrens

(57) Die Erfindung betrifft ein Verfahren zur Filterung eines digitalen Werts mit verbessertem Rauschverhalten, bei dem der digitale Ausgangswert $\{y(t)\}$ die Summe aus digitalem Eingangswert $\{x(t)\}$ und einem Rückkopplungswert $\{a(t)\}$ ist, wobei der Rückkopplungswert $\{a(t)\}$ gleich einer ersten Variablen $\{x_0(t)\}$ subtrahiert mit einer zweiten Variablen $\{x_1(t)\}$ und subtrahiert mit der um m Stellen nach rechts geschobenen zweiten Variablen $\{x_1(t)\}$ und addiert mit der ersten Variablen $\{x_0(t)\}$ ist, wobei die erste Variable $\{x_0(t)\}$ gleich den unteren m Bits des vorherigen digitalen Ausgangswerts $\{y(t-1)\}$ entspricht und immer einen positiven Wert darstellt und die zweite Variable $\{x_1(t)\}$ gleich der vorherigen ersten Variablen $\{x_0(t-1)\}$ subtrahiert mit der um m Bits arithmetisch nach rechts geschobenen vorherigen zweiten Variablen $\{x_1(t-1)\}$ entspricht und die Berechnung des Rückkopplungswerts $\{a(t)\}$ mit wenigstens einem zusätzlichen niederwertigen Bit bis wenigstens zur letzten Addition mit der ersten Variablen $\{x_0(t)\}$ erfolgt und die Erweiterung nachfolgend unberücksichtigt bleibt.



DE 44 08 768 C 1

DE 44 08 768 C 1

Die Erfindung betrifft ein Verfahren gemäß dem Oberbegriff des Anspruchs 1 bzw. eine Schaltungsanordnung gemäß dem Oberbegriff des Anspruchs 4.

Ein derartiges Verfahren bzw. eine Anordnung ist z. B. aus "A 16-Bit 4th Order Noise-Shaping D/A Converter" von Carley und Kenney aus IEEE 1988 Custom Integrated Circuits Conference auf Seite 21.7.1 ff bekannt. Insbesondere auf Seite 21.7.1 ist in Fig. 1 ein derartiges System dargestellt.

Bei Delta-Sigma-Modulatoren tritt bei Eingabe von digitalen Nullwerten am Ausgang eines Digital-Analog-Wandlers ein Rauschsignal mit verschiedenen stark ausgeprägten harmonischen Komponenten auf, die aufgrund eines verwendeten vorgeschalteten Noise-Shaping-Filters entstehen. Aus IEEE Journal of Solid-State Circuits, Vol. 23, No. 6, December 1988 auf Seite 1351 ff und aus IEEE 1990 CH 2868-8/90/0000-Seite 895 ff und dem zuvor genannten Dokument sind verschiedene Verfahren zur Verbesserung des Signalrauschabstands bei derartigen Einrichtungen bekannt. Diese Verfahren sind jedoch relativ aufwendig.

Derartige Noise-Shaper zweiter Ordnung produzieren abhängig von ihrem internen Zustand (d. h. Speicherinhalt) Grenzzyklen, wodurch harmonische Komponenten im Rauschsignal eines nachgeschalteten D-A-Wandlers entstehen und verstärkt werden können.

Aufgabe der vorliegenden Erfindung ist es daher, ein Verfahren zur Filterung einer digitalen Werte folge mit verbessertem Rauschverhalten und eine Schaltungsanordnung zur Durchführung des Verfahrens anzugeben, welches möglichst einfach aufgebaut ist und einen hohen Wirkungsgrad aufweist.

Diese Aufgabe wird durch den kennzeichnenden Teil des Anspruchs 1 bzw. 4 gelöst. Weiterbildungen sind Kennzeichen der Unteransprüche.

Die digitale Filterung einer Werte folge gemäß dem erfindungsgemäßen Verfahren hat den Vorteil, daß keine Grenzzyklen entstehen. Diese Grenzzyklen bewirken in bisherigen Filtern das Entstehen von harmonischen Komponenten im Rauschsignal.

Die Erfindung wird nachfolgend anhand einer Figur näher erläutert.

In der einzigen Fig. 1 ist mit 1 eine Anschlußklemme dargestellt, die mit dem ersten Eingang eines Addierers 2 verbunden ist. Der Verbindungsbus zwischen Anschlußklemme 1 und Addierer 2 kann z. B. $m + n = 16$ Bit breit sein. Der Verbindungsbus führt dann z. B. ein 16-Bit Datenwort. Der Ausgang des Addierers 2 ist mit dem Eingang eines Teilers 3 verbunden, an dessen Ausgang n -Leitungen der MSB und z. B. m -Leitungen der LSB des Datenworts zur Verfügung gestellt werden. Die höherwertigen n MSB-Leitungen können z. B. die oberen 8 Bits eines 16 Bit-Datenworts sein und werden einem Digital-Analog-Wandler 4 zugeführt. Der Ausgang des Digital-Analog-Wandlers 4 ist mit einer Anschlußklemme 5 verbunden. Die niederwertigen m -LSB-Leitungen, z. B. die unteren 8 Bits eines 16 Bit-Datenworts werden einem Zeitverzögerungsglied 6 zugeführt. Dieses m -Bit Datenwort wird dabei grundsätzlich als positive Zahl betrachtet. Dies kann z. B. dadurch erfolgen, daß ein zusätzliches höchstwertiges Bit eingeführt wird, welches mit dem Wert "0" besetzt wird. Der Ausgang des Zeitverzögerungsglieds 6 ist mit dem ersten Eingang eines Addierers 7 und mit dem ersten Eingang eines Addierers 11 verbunden. Der Ausgang des Addierers 7 ist mit dem ersten Eingang eines Addierers

10 und einem zweiten Verzögerungsglied 9 verschaltet. Das Ausgangssignal des Verzögerungsglieds 9 wird einer Schiebeeinheit 8 und das Zweierkomplement des Ausgangssignals dem zweiten Eingang des Addierers 10 zugeführt. Das Zweierkomplement des Ausgangssignals der Schiebeeinheit 8 wird dem zweiten Eingang des Addierers 7 zugeführt. Der Ausgang des Addierers 10 ist mit dem zweiten Eingang des Addierers 11 verschaltet. Der Ausgang des Addierers 11 ist mit dem zweiten Eingang des Addierers 2 verbunden. Die Addierer 7 und 10 sowie das Zeitverzögerungsglied 9 und die Schiebeeinheit 8 sind um wenigstens ein niederwertigstes Bit erweitert, so daß in diesem Bereich mit wenigstens $m + 1$ Bits gerechnet wird. Entsprechend notwendige MSB-Bits sind im gesamten Rückkopplungsbereich vorgesehen, so daß kein Überlauf auftritt. Das zusätzliche niederwertigste Bit bleibt ab dem Addierer 11 unberücksichtigt. Selbstverständlich kann auch die gesamte Anordnung bereits in allen Stufen diese Erweiterung um das niederwertigste Bit vorsehen, jedoch muß dieses Bit erfindungsgemäß spätestens beim Addierer 2 unberücksichtigt bleiben. Sinngemäß kann es dann frühestens nach dem Teiler für die m Bits berücksichtigt werden.

Die gesamte Anordnung kann vorzugsweise durch einen Signalprozessor realisiert werden. Die Anordnung kann aber auch fest verdrahtet aufgebaut werden. Die einzelnen Additionsoperationen müssen sinngemäß mit gesättigten bzw. ungesättigten Addierern durchgeführt werden, wie es im einzelnen aus dem Stand der Technik bei digitalen Filterschaltungen bekannt ist.

Das in der Fig. 1 dargestellte Noise-Shaping Filter arbeitet nach folgendem Prinzip:

Bezeichnet man die Ausgangswertfolge am Ausgang des Addierers 2 mit $y(t)$, so gilt:

$$y(t) = x(t) + a(t),$$

wobei $x(t)$ die Eingangswertfolge an der Klemme 1 und $a(t)$ die Rückkopplungswertfolge am zweiten Eingang des Addierers 2 bezeichnet.

Die Rückkopplungswertfolge $a(t)$ ergibt sich zu:

$$a(t) = 2 \cdot x_0(t) - x_1(t) - sh(m)[x_1(t)],$$

wobei $x_0(t)$ die im Speicher 6 gespeicherte Variable und $x_1(t)$ die im Speicher 9 gespeicherte Variable ist. Unter $sh(m)[x_1(t)]$ ist das arithmetische Rechtsschieben (in Richtung LSB) um m Stellen der Variablen $x_1(t)$ in der Einheit 8 zu verstehen.

Die Wertefolge $x_0(t)$ ist definiert zu:

$$x_0(t) = Q_m[y(t-1)],$$

wobei $Q_m[y(t-1)]$ die Funktion der Abtrennung der unteren m Bits des Werts $y(t-1)$ bezeichnet und wobei $x_0(t)$ immer als positiv zu betrachten ist. An dieser Stelle kann auch z. B. die Erweiterung um das zusätzliche LSB-Bit sowie um wenigstens ein zusätzliches MSB-Bit erfolgen, welche auf Null gesetzt werden.

Das zusätzliche LSB-Bit kann frühestens nach der Teilung des Ausgangswerts $y(t)$ berücksichtigt werden, wobei es nur für die Operation

$$b(t) = x_0(t) - x_1(t) - sh(m)[x_1(t)]$$

erfindungsgemäß benötigt wird, hierbei gilt:

$$a(t) = x_0(t) + b(t).$$

Das zusätzliche MSB-Bit kann ebenfalls frühestens nach der Auftrennung des zuvor genannten Additionswerts erzeugt werden, um die m-Bits als positive Zahl darzustellen.

Die Wertefolge $x_1(t)$ ist definiert zu:

$$x_1(t) = x_0(t-1) - sh(m)[x_1(t-1)],$$

wobei wiederum die zuvor gemachten Ausführungen gelten. Für t gilt: $t = 0, 1, 2, \dots$, wobei für $t = 0$ die sich ergebenden Werte von $x_0(-1)$ und $x_1(-1)$ die jeweils vorbesetzten Werte der Speicherzellen sind.

Liegen an der Eingangsklemme 1 z. B. digitale Werte eines zuvor kodierten Sprachsignals an, so verhält sich die gesamte Anordnung wie ein normales Noise-Shaping-Filter und an der Ausgangsklemme 5 können die übertragenen kodierten Sprachsignale abgegriffen werden.

Liegt jedoch an der Eingangsklemme 1 z. B. während einer Sprechpause ein fortwährend dauerndes digitales "Null"-Signal an, so werden die harmonischen Signalanteile im Rauschen, welche sonst üblicherweise durch die gesamte Anordnung aufgrund von Grenzyklen erzeugt würden, durch das Vorsehen der Schiebeeinheit 8 stark reduziert. Die Schiebeeinheit 8 ist in dem um wenigstens ein niederwertiges Bit erweiterten Rückkopplungszweig des Filters vorgesehen und schiebt den Wert am Ausgang des Zeitverzögerungsglieds 9 um m Stellen nach rechts, im zuvor beschriebenen Beispiel also um 7 Stellen, und führt sie dem zweiten Eingang des Addierers 7 als Zweierkomplement zu, so daß dieser Wert von dem am Ausgang des Zeitverzögerungsglieds 6 anliegenden Wert abgezogen wird. Durch diese Maßnahme werden die harmonischen Anteile im Rauschsignal des Systems, welche durch Eigendynamik des rückgekoppelten Filtersystems entstehen, stark reduziert. In Messungen hat sich gezeigt, daß diese Peaks innerhalb eines Rauschsignals durch die erfindungsgemäße Anordnung fast vollständig eliminiert werden können.

Spätestens ab dem Addierer 7 bis zum Addierer müssen n+q Leitungen, z. B. 12 Bits, vorgesehen sein um einen Überlauf der Anordnung zu verhindern bzw. um die zusätzlichen MSB-bzw. LSB-Bits bereitzustellen.

Patentansprüche

1. Verfahren zur Filterung eines digitalen Werts mit verbessertem Rauschverhalten, dadurch gekennzeichnet,

- daß der digitale Ausgangswert ($y(t)$) die Summe aus digitalem Eingangswert ($x(t)$) und einem Rückkopplungswert ($a(t)$) ist,
- daß der Rückkopplungswert ($a(t)$) gleich einer ersten Variablen ($x_0(t)$) subtrahiert mit einer zweiten Variablen ($x_1(t)$) und subtrahiert mit der um m Stellen nach rechts geschobenen zweiten Variablen ($x_1(t)$) und addiert mit der ersten Variablen ($x_0(t)$) ist,

wobei die erste Variable ($x_0(t)$) gleich den unteren m Bits des vorherigen digitalen Ausgangswerts ($y(t-1)$) entspricht und immer einen positiven Wert darstellt und die zweite Variable ($x_1(t)$) gleich der vorherigen ersten Variablen ($x_0(t-1)$) subtrahiert mit der um m Bits arithmetisch nach rechts geschobenen vorherigen zweiten Variablen ($x_1(t-1)$) entspricht und die Berechnung des Rückkopplungswerts ($a(t)$) mit wenigstens einem zusätzlichem niederwertigen Bit bis wenigstens zur letzten

Addition mit der ersten Variablen ($x_0(t)$) erfolgt und die Erweiterung nachfolgend unberücksichtigt bleibt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Darstellung der unteren m Bits als positive Zahl durch eine Erweiterung um wenigstens ein zusätzliches höchstwertiges Bit, welches auf Null gesetzt wird, erfolgt.

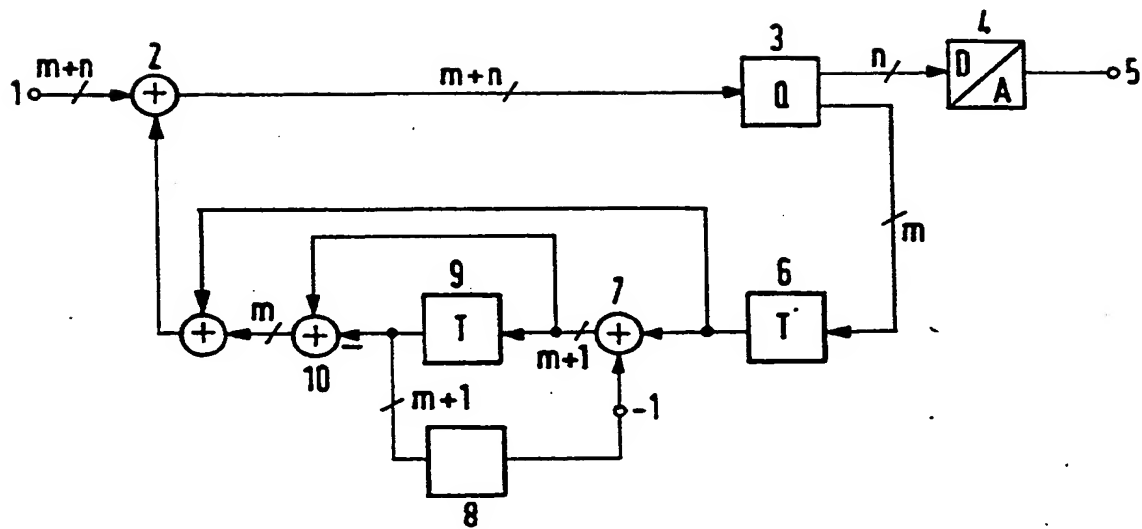
3. Schaltungsanordnung zur Durchführung des Verfahrens nach einem der vorhergehenden Ansprüche 1 oder 2 mit einem Digital-Analog-Wandler (4) vorgeschalteten Filter, dadurch gekennzeichnet, daß das Filter

- eine erste Addierstufe (2) aufweist, deren erster Eingang die zu wandelnden m+n Bits eines Datenworts zugeführt werden und deren Ausgang mit einer Teilerstufe (3) verbunden ist, von der die oberen n-Bits dem Digital-Analog-Wandler (4) und die unteren m-Bits einer ersten Haltestufe (6) zugeführt werden,
- eine zweite Addierstufe (7) enthält, deren erster Eingang mit dem Ausgang der ersten Haltestufe (6) und dem ersten Eingang einer dritten Addierstufe (11) verbunden ist,
- eine zweite Haltestufe (9) aufweist, deren Eingang mit dem Ausgang der zweiten Addierstufe (7) und dem ersten Eingang einer vierten Addierstufe (10) verbunden ist, wobei das Zweierkomplement des Ausgangssignal der zweiten Haltestufe (9) dem zweiten Eingang der vierten Addierstufe (10) zugeführt wird und der Ausgang der vierten Addierstufe (10) mit dem zweiten Eingang der dritten Addierstufe (11) und der Ausgang der dritten Addierstufe (11) mit dem zweiten Eingang der ersten Addierstufe (2) verbunden ist,
- eine Schiebeeinrichtung (8) aufweist, deren Eingang mit dem Ausgang der zweiten Haltestufe (9) und deren Ausgang über einen Zweierkomplementbildner mit dem zweiten Eingang der Addierstufe (7) verbunden ist, wobei die Schiebeeinrichtung (8) das am Eingang anliegenden Datenwort um m Bits nach rechts schiebt.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß wenigstens die zweite und vierte Addierstufe (7, 10), die zweite Haltestufe (9) und die Schiebeeinrichtung (8) um wenigstens ein niederwertiges Bit erweitert sind.

5. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß alle Einheiten (2, 3, 6, 7, 8, 9, 10, 11) um wenigstens ein niederwertiges Bit erweitert sind, wobei dieses niederwertigste Bit nur bei der zweiten und vierten Addierstufe (7, 10), der zweiten Haltestufe (9) und der Schiebeeinrichtung (8) berücksichtigt wird.

Hierzu 1 Seite(n) Zeichnungen



Method for filtering a digital value train with improved noise behavior, and circuit configuration for performing the method

Patent Number: US5629881
Publication date: 1997-05-13
Inventor(s): LEEB FERENC (AT); GAZSI LAJOS (DE)
Applicant(s): SIEMENS AG (DE)
Requested Patent: DE4408768
Application Number: US19950404366 19950315
Priority Number(s): DE19944408768 19940315
IPC Classification: G06F17/10; G06F7/38
EC Classification: H03H17/02
Equivalents: EP0673114, B1, JP3295576B2, JP7283737

Abstract

A method and a circuit configuration for filtering a digital value with improved noise behavior include adding a digital input value and a feedback value to form a digital output value. The feedback value is equal to a first variable from which a second variable is subtracted, from which the second variable shifted m places to the right is subtracted, and to which the first variable is added. The first variable is equal to a bottom m bits of a previous digital output value and always represents a positive value. The second variable is equal to a previous first variable from which a previous second variable shifted arithmetically by m bits to the right is subtracted. The feedback value is calculated with at least one additional least significant bit until at least a last addition with the first variable. Subsequently, an expansion is no longer taken into account.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

DOCKET NO: _____

SERIAL NO: _____

APPLICANT: _____

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100